

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06085154 A**

(43) Date of publication of application: **25.03.94**

(51) Int. Cl

H01L 23/50

(21) Application number: **04237942**

(22) Date of filing: **07.09.92**

(71) Applicant: **HITACHI LTD HITACHI VLSI ENG CORP**

(72) Inventor:
**OTSUKA KANJI
OKINAGA TAKAYUKI
SHIRAI MASAYUKI
MIWA TAKASHI
TSUBOI TOSHIHIRO
MATSUGAMI SHOJI**

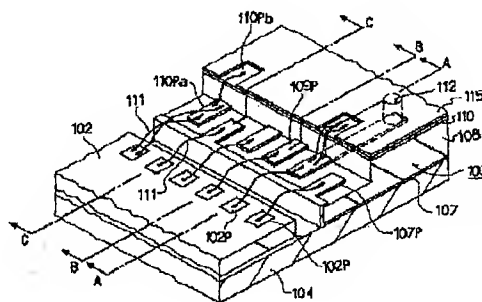
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE**

(57) Abstract:

PURPOSE: To reduce fluctuations of potentiality of a grounding line against simultaneous switch over of a plurality of signal lines by installing each signal line between a power supply line and a grounding line and forming lamination structure for each of them.

CONSTITUTION: A semiconductor chip 102 is laid out in a specified area on one end of an interposer 103 on the side of the chip 102 in a semiconductor integrated circuit device. An electric connection between the semiconductor chip 102 and the tip of the interposer 103 is made by connecting electrically an electrode pad 102P of the semiconductor chip 102, an electrode pad 107P of a grounding line 107, an electrode pad 109P of a signal line 109, a first electrode pad 110P1 and an electrode pad 110P2 of a power supply line 110 with a bonding wire respectively. The power supply line 110 and the grounding line 107 are laid out over and under the signal line 109 as described above. This construction makes it possible to reduce the fluctuations in the potential of the ground line 107 and further speed up the operating speed as well against simultaneous switch-over the signal lines 109.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-85154

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

H01L 23/50

識別記号

庁内整理番号

X 9272-4M

FI

技術表示箇所

審査請求 未請求 請求項の数5(全10頁)

(21)出願番号 特願平4-237942

(22)出願日 平成4年(1992)9月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 大塚 寛治

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

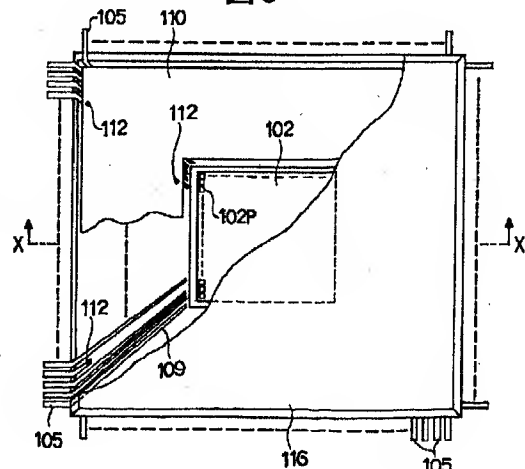
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 複数本の信号線の同時切換に対してグラウンド線Vssの電位のゆらぎを低減する。また、動作速度の高速化を図る。また、グラウンド線Vss(グラウンド)のリードの本数を低減する。

【構成】 複数の信号線109と、電源供給線110と、グラウンド線107を有し、前記複数の信号線109は双方向電流路となる回路構成になっている半導体集積回路装置であって、前記各信号線109が電源供給線110とグラウンド線107との間に設けられ、それぞれが積層構造になっている。前記電源供給線110及びグラウンド線107の線幅は、信号線109の線幅と同じか又はそれよりも大きい。前記電源供給線110とグラウンド線107のうち少なくとも一方の全線が一つの平面層で共用されている。

図6



【特許請求の範囲】

【請求項1】 複数の信号線と、電源供給線と、グランド線を有し、前記複数の信号線は双方向電流路となる回路構成になっている半導体集積回路装置であって、前記各信号線が電源供給線とグランド線との間に設けられ、それぞれが積層構造になっていることを特徴とする半導体集積回路装置。

【請求項2】 前記電源供給線及びグランド線の線幅は、信号線の線幅と同じか又はそれよりも大きいことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記電源供給線とグランド線のうち少なくとも一方の全線が一つの平面層で共用されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】 複数の信号線と、電源供給線と、グランド線を有し、前記複数の信号線は双方向電流路となる回路構成になっている半導体集積回路装置であって、前記各信号線が電源供給線とグランド線との間に設けられるようにそれぞれが組み合せられた多段多積層構造になっていることを特徴とする半導体集積回路装置。

【請求項5】 前記半導体集積回路装置は、CMOSの論理集積回路装置、CMOSの記憶集積回路装置、CMOSのマイクロコンピュータのうちいずれか1つであることを特徴とする請求項1乃至4のうちいずれか1項に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置、例えば、QFP(Quad Flat Package), SOP(Small Out-line Package), ZIP(Zigzag In-line Package)等の構造のレジンモールド形パッケージであり、かつ、複数の駆動回路(以下ドライバーと称する)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来の半導体集積回路装置、例えば、QFP, SOP, ZIP等の構造のレジンモールド形パッケージであり、かつ、複数のドライバーを有する半導体集積回路装置は、例えば、図17に示すように、信号送信側半導体集積回路LSI100と信号受信側半導体集積回路LSI200との間がパッケージ内伝送路(以下、インターポーザと称する)300で接続されている。

【0003】 図17において、101は送信端LSI100のパッファ、201は受信端LSI200のパッファ、301はインターポーザ300内の駆動系信号線、302はインターポーザ300内の静止系信号線である。また、Vccは電源供給線(チップ内電源電圧線:例えば、回路動作電圧5ボルト)、Vssはグランド線(チップ内基準電位線:例えば、回路接地電位0ボルト)、Leff1は電源Vcc側実効インダクタンス、Leff2は

電源Vss側実効インダクタンス、Vnccは電源Vcc側実効インダクタンスLeff1による電圧降下(ノイズ)、Vnssは電源Vss側実効インダクタンスLeff2による電圧降下(ノイズ)、Vcrはバックワードノイズ、Vcfはフォワードノイズ、Nは駆動系信号線301の同時に切換えられる本数、Nrは駆動受信端の数である。

【0004】 図17において、送信端LSI100の4個のパッファ101が同時に切換わると、ステップ電圧がパッケージ内伝送路である4本の駆動系信号線301にそれぞれ与えられ、受信端LSI200の4本のパッファ201が駆動される。

【0005】 この時、ステップ電圧を発生させるために、電源供給線Vccは1信号当り di/dt の電流変化が生じる。N(N=4)本の駆動系信号線301が同時に駆動するため $N \times di/dt$ の変化となる。Nが大きくなる程、電流変化は大きく、電源供給線Vccの電流が信号に流れるすべての経路の実効インダクタンスLeff1により、 $Vnss = Leff1 \times N \times di/dt$ の電圧降下(ノイズ)が電源供給線Vccに発生する。これが静止系信号線302にも伝わり、バックワードノイズVcrとフォワードノイズVcfのクロストークノイズが重畳され、ノイズマージンを越えることになり、静止系受信端LSI200又は送信端LSI100が誤動作することになる。

【0006】 したがって、ステップ電圧の降下時は、信号電流がグランド線Vssの電流となり、実効インダクタンスLeff2の問題となる。そして、Nの増大や高速化による di/dt の増大の中で電圧降下Vncc及びVnssを小さくするには実効インダクタンスLeff1及びLeff2を小さくするしか方法がない。

【0007】 そこで、例えば、図18に示すように、半導体チップ2とインナーリード3との裏面に対向する位置に補助電極板(電源Vss用又は電源供給線Vcc用)5を設けることにより、インナーリード3間に発生する電界の一部を補助電極板(電源Vss用又は電源供給線Vcc用)5で遮蔽し、このインナーリード3間に付加される寄生容量を低減してクロストークを低減し、動作速度を高速化している。

【0008】 さらに、図19に示すように、インナーリード3の上部に絶縁層7を介在させて補助電極板11を設け、この補助電極板11の半導体チップ2側の一端を半導体チップ2の電源Vss用(又は電源Vcc用)外部端子に接続し、補助電源板11のアウターリード4側の後端を電源Vss用(又は電源Vcc用)インナーリード3の後端に接続することにより、補助電源板11によりさらにインダクタンス成分を低減して動作速度を高速化している(特開平2-164056号公報参照)。

【0009】 図18、図19において、1は樹脂封止型半導体装置、2は半導体チップ、3はインナーリード、4はアウターリード、5、6、11は補助電極板、7、

8は絶縁層、9はボンディングワイヤ、10は樹脂封止部、5A、6Aは接続部、5Bは貫通孔である。

【0010】

【発明が解決しようとする課題】本発明者は、前述の技術について検討した結果、以下の問題点を見出した。

【0011】あるクロックタイミングにおいて多数の駆動系信号線、例えばN本の駆動系信号線を同時に切換えると、電源供給線Vccをオンした時に流れる電流（電源供給線Vccから供給される電流）Isは、 $I_s = N \times di/dt$ となる。

【0012】また、電源供給線Vccをオフした時も同様にグラウンド線Vss（電源Vss）に供給される電流Igは、 $I_g = N \times di/dt$ となる。

【0013】グラウンド線VssのLSIへの入口の電圧は、グラウンド線Vssの有効インダクタンスLeff2による電圧降下（又は電圧上昇）を生ずる。その電圧降下（又は電圧上昇）値Vnss（又はVnss）= $Leff2 \times N \times di/dt$ となる。

【0014】前述のように、あるクロックタイミングにおいて多数の駆動系信号線、例えばN本の駆動系信号線を同時に切換えると、電源Vssの有効インダクタンスLeff2による電圧降下（又は電圧上昇）により、グラウンド線Vssの電位がゆらぎ、誤動作を起すという問題があった。

【0015】本発明の目的は、複数本の信号線の同時切換に対してグラウンド線Vssの電位のゆらぎを低減することが可能な技術を提供することにある。

【0016】本発明の他の目的は、動作速度の高速化を図ることが可能な技術を提供することにある。

【0017】本発明の他の目的は、グラウンド線Vssのリードの本数を低減することが可能な技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】（1）複数の信号線と、電源供給線と、グラウンド線を有し、前記複数の信号線は双方向電流路となる回路構成になっている半導体集積回路装置であって、前記各信号線が電源供給線とグラウンド線との間に設けられ、それぞれが積層構造になっている。

【0021】（2）前記電源供給線及びグラウンド線の線幅は、信号線の線幅と同じか又はそれよりも大きくしている。

【0022】（3）前記電源供給線とグラウンド線のうち少なくとも一方の全線が平面層で共用されている。

【0023】（4）複数の信号線と、電源供給線と、グ

ランド線を有し、前記複数の信号線双方向電流路となる回路構成になっている半導体集積回路装置であって、前記各信号線が電源供給線とグラウンド線との間に設けられるようにそれぞれを組み合わせて多段多積層に構成されている。

【0024】（5）前記半導体集積回路装置は、CMOSの論理集積回路装置、CMOSの記憶集積回路装置、CMOSのマイクロコンピュータのうちいずれか1つである。

10 【0025】

【作用】上述した手段（1）によれば、図1に示すように、電源供給線Vccがオン（スイッチSW1がオン、スイッチSW2がオフ）の時、電源供給線Vccから供給される電流（電源に流れる電流）Isは、実線矢印方向に流れ、電源供給線Lcの実効インダクタンスLeff1による降下電圧Vnccは、 $Leff1 \times di/dt$ となる。

【0026】また、電源供給線Vccがオフ（スイッチSW1がオフ、スイッチSW2がオン）の時も同様にグラウンド線Vssに供給される電流Igは、点線矢印方向に流れる。

【0027】グラウンド線VssのLSIへの入口の電圧は、電源供給線Lsの有効インダクタンスLeff2による電圧降下（又は電圧上昇）を生ずる。その電圧降下（又は電圧上昇）Vnss（又はVnss）= $Leff2 \times di/dt$ となる。

【0028】ここで、実効インダクタンスLeffについて説明する。図2は、マイクロストリップ線の断面図であり、駆動系信号線SLの奥行き（紙面に垂直）に向った電流束があるものとする。（a）は直流の場合、（b）は交流の場合である。

【0029】直流の場合は、グラウンド線Vssの帰りの電流分布は、（a）に示すように、グラウンド線Vssの線幅一ぱいに分布している。交流の場合では、（b）に示すように、 di/dt の変化による磁束の変化を極力防止しようと電流束が移動する。行き帰りの電流が近くにある程、お互の磁界が打ち消し合って di/dt の変化に対応し易くなる。その結果、グラウンド線Vssは幅広いにもかかわらず、帰りの電流分布は、（b）のグラフのように駆動系信号線の直下に集中して流れることになる。

40 高周波程その傾向が強くなる。これを式で表わすと、

$$Leff1 = Lsd + Lss - Mds \quad \dots \dots (1)$$

$$Leff2 = Lse + Lss - Mes \quad \dots \dots (2)$$

のようになる。前記式（1）、（2）において、電源供給線Vccはd、信号はs、グラウンド線Vssはeとした時のパス（通路）をサフィックスで表し、Lは自己（セルフ）インダクタンス、Mは相互インダクタンスである。

【0030】平面（ベタ）の電源供給線Vcc及びグラウンド線Vssは、 $Lsd = Lse = 0$ であるとされているが、図2のように集中すると、信号のインダクタンスにほぼ等しくなる。したがって、相互インダクタンスMを大きくした

時のみ実効インダク L_{eff} を小さくできることがわかる。

【0031】実際のパッケージにおいては、電流がどのように流れるかを図3に示す。図3において、203Sは信号用パッド、203Gは電源 V_{ss} 用パッド、204はボンディングワイヤである。

【0032】図3では、グランド線 V_{ss} (以下、単にグランドと称する)のプリント基板と接続する場所(シンク点)が3点ある例で示している。4本の信号線がオン状態からオフになった時、入力側にチャージされた電気量が駆動系信号線301に電流の形で出力ドライバODCに10 戻って来て、図4(本発明の基本構成図)及び図5(図4の電流伝達の等価回路図)に示すように、出力ドライバODCのNMOSを通してグランド V_{ss} に示すように流れ出す。図3のグランドシンク3点のうちLSI200に最も近い点に電流が流れ込むのが自然であるように見える。直流の場合はその通りである。

【0033】交流の場合、図2で示したように、信号線の電流による発生磁界の影響を受け、その直下のグランド V_{ss} に帰りの電流が集中する方が、磁力線が閉じるこ20 となり、エネルギー損失の小さな電流ループとなる。エネルギー損失が小さいということは、そのループが一番見掛のインダクタンスが小さいということになる。グランド V_{ss} が一つの平面層(ベタ)配線であり、電流は自由な経路を取ることができる。すなわち、エネルギー損失最小のループを取る。これを示したのが図3の右側の2つのシンクに向かって流れる電流である。4本の信号の下をそれぞれ自動分流されて流れ、シンクに向う。平面層(ベタ)配線はこの現象を自動的にコントロールすることができる大きな利点がある。信号がオンの時は、図430 に示したように、電源供給線 V_{cc} から信号線への電流ループであり、電流供給線 V_{cc} を平面層(ベタ)配線にして信号の隣に配置すると、グランドと同じ効果を得ることができる。

【0034】インダクタンス L_s は、直流の場合が最小(最短経路)となるが、交流では

$$L_{eff1} = L_{sd} + L_{ss} - 2M_{ds} \quad \dots\dots (3)$$

$$L_{eff2} = L_{se} + L_{ss} - 2M_{es} \quad \dots\dots (4)$$

の経路となる配線構造、すなわち、図5に示すように、信号線301の上下に電源供給線 V_{cc} とグランド V_{ss} を40 配置したことが本発明の特徴である。このような構成にすることにより、複数本の信号線の同時切換に対してグランド V_{ss} の電位のゆらぎを低減することができる。さらに、動作速度の高速化を図ることができ、かつ、グランド V_{ss} のリードの本数を低減することができる。

【0035】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0036】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り50

返しの説明は省略する。

【0037】(実施例1)図6は、本発明の実施例1であるQFP構造を採用する樹脂封止型半導体装置の構成を示す一部欠き取り平面図、図7は図6の側面図、図8は図6に示すX-X切断線で切った断面図、図9は図8に示す半導体チップとインターポーザとの接続部の構成を説明するための拡大斜視図、図10は図9に示すA-A切断線で切った断面図、図11は図9に示すB-B切断線で切った断面図、図12は図9に示すC-C切断線で切った断面図である。

【0038】図6乃至図12に示すように、本実施例1の樹脂封止型半導体装置101は、半導体チップ102をインターポーザ103のチップ102側の一端で規定された領域内に配置している。この樹脂封止型半導体装置101はQFP構造を採用している。前記半導体チップ102及びインターポーザ103はそれぞれの裏面に接着層(例えばAgペーストやAu-Si共晶合金)を介在させて支持板(例えば、放熱機能も兼用させるためにCu板を用いる)104の中央部分の表面に搭載している。20

【0039】前記半導体チップ102は、例えば平面形状が方形の単結晶珪素で形成されている。半導体チップ102の表面には複数の半導体素子で形成された所定の回路を搭載している。

【0040】前記インターポーザ103の先端は、半導体チップ102の各辺に沿ってそれに対向して配設されている。インターポーザ103の後端(他端)は、半導体チップ102を中心にして放射状に4方向に延在したリード105に接続される構造になっている。

【0041】なお、本実施例の樹脂封止型半導体装置101は、これに限定されないが(2方向リード構造でもよいが)4方向リード構造で構成されている。リード105は、例えばFe-Ni合金、Cu合金、無酸素銅(OFCC)等で形成され、100~300[μm]程度の厚さで形成されている。また、リード105のインナーリード部分は電気特性の向上等を目的として例えばFe-Ni合金の表面の一部に銅をクラッドして形成してもよい。

【0042】前記インターポーザ103は、図8乃至図12に示すように、前記支持板104の上に、エポキシ系等の絶縁性接着材106により平板状(ベタ)のグランド線107が接着されている。その上にガラス繊維入りレジン又はポリイミドテープからなる絶縁膜108を介在させて、信号線109が設けられている。この信号線109の上に平板状(ベタ)の電源供給線(V_{cc})110が絶縁膜108を介在させて設けられ、その上に保護膜115が設けられている。

【0043】そして、前記半導体チップ102とインターポーザ103の先端との電氣的接続は、図9に示すように、半導体チップ102の電極パッド102Pと、グ

ランド線107電極パッド107P、信号線109の電極パッド109P、電源供給線110の第1電極パッド110Pa1及び第2電極パッド110Pa2とをそれぞれボンディングワイヤ111で電氣的に接続されている。

【0044】ボンディングワイヤ111は、例えばAuワイヤを使用している。ボンディングワイヤ111は、これに限定されないがボールボンディング法又はウエッジボンディング法で接続されている。

【0045】前記電源供給線110は、図10に示すように、電源接合用スルーホール（ピアホール）112と一体に形成されている電極パッド113に半田、ろう材等の接着材114でリード105のインナーリードが電氣的に接続されている。

【0046】前記信号線109は、図11に示すように、信号線109の電極パッド15に半田、ろう材等の接着材114でリード104のインナーリードが電氣的に接続されている。

【0047】前記1グラウンド線107は、図12に示すように、電源接合用スルーホール112と一体に形成されている電極パッド113に半田、ろう材等の接着材114でリード105のインナーリードが電氣的に接続されている。

【0048】そして、装置の回路部全体がモールドレジンのモールド樹脂116により、モールドされ、封止されている。

【0049】このように、樹脂封止型半導体装置101において、図9乃至図12に示すように、信号線109の上下に電源供給線（電源Vcc）110とグラウンド線（電源Vss）107を配置することにより、複数本の信号線107の同時切換に対してグラウンド線107の電位のゆらぎを低減することができる。さらに、動作速度の高速化を図ることができ、かつ、グラウンド線107のリードの本数を低減することができる。

【0050】（実施例2）図13は、本発明の実施例2の樹脂封止型半導体装置の封止樹脂のみを除去した部分と、さらに電源供給線及び信号線を除去した部分の構成を示す平面図、図14は、図13に示すY-Y切断線で切った断面図である。

【0051】本実施例2の樹脂封止型半導体装置は、図13及び図14に示すように、前記実施例1のインターポーザ103を2組のインターポーザ130Aとインターポーザ130Bに分割したものである。

【0052】前記インターポーザ130A及び130Bは、前記実施例1の支持板104の上に、エポキシ系等の絶縁性接着材106により平板状（ベタ）の対角線で2分された第1グラウンド線137Aと第1グラウンド線137Bがエポキシ系等の絶縁性接着材106により接着されている。その上にガラス繊維入りレジンはポリイミドテープからなる絶縁層108を介在させて、信号線

139が設けられている。この信号線139の上に平板状（ベタ）の対角線で2分された第1電源供給線140Aと第2電源供給線140Bが絶縁層8を介在させて設けられ、その上に保護膜115が設けられている。

【0053】そして、前記半導体チップ102とインターポーザ130A及び130Bの先端との電氣的接続は、図10に示すものと同様ように、半導体チップ102の電極パッド102Pと、第1グラウンド線137Aの電極パッド107P、第1グラウンド線137Bの電極パッド107P、信号線139の電極パッド109P、第1電源供給線140Aの第1電極パッド110Pa及び第2電極パッド110Pb、並びに第2電源供給線140Bの第1電極パッド110Pa及び第2電極パッド110Pb2をそれぞれボンディングワイヤ111で電氣的に接続している。

【0054】このように構成することにより、グラウンド線137A、137B及び電源供給線140A、140Bにかかる応力を低減することができる。

【0055】なお、本実施例2では、グラウンド線及び電源供給線を2分割した例で説明したが、本発明においては、それらを必要に応じて4分割にしてもよい。

【0056】（実施例3）図15は、本発明の実施例3の樹脂封止型半導体装置の要部の構成を説明するための断面図である。

【0057】本実施例3の樹脂封止型半導体装置は、図6乃至図13に示した実施例1のインターポーザ内のグラウンド線107の線幅、信号線109の線幅、電源供給線110の線幅を同一にして、それらの線幅が一致するように精度よく配置して積層したものである。

【0058】また、さらに本発明の技術思想を有効にするために、図15の（b）に示すように、信号線109の線幅と電源供給線110の線幅を同一にし、グラウンド線107の線幅を前記信号線109の線幅と電源供給線110の線幅よりも広し、信号線109の線幅と電源供給線110の線幅がグラウンド線107の線幅より外側に出ないようにそれらを配置して積層することもできる。

【0059】また、さらに本発明の技術思想を有効にするために、図15の（c）に示すように、グラウンド線107の線幅と電源供給線110の線幅を信号線109の線幅よりも広し、信号線109の線幅がグラウンド線107の線幅と電源供給線110の線幅より外側に出ないようにそれらを配置して積層することもできる。このように、グラウンド線107の線幅と電源供給線110の線幅と広して、1つの平面状の層にしたのが前記実施例1であり、本発明の最も好ましい実施例である。

【0060】（実施例4）図16は、本発明の実施例4の要部構成を説明するための断面図である。

【0061】本実施例4の樹脂封止型半導体装置は、図16に示すように、前記実施例1のインターポーザ3を2組積み重ねた多段多層型インターポーザ230にした

ものである。図16において、107'は2層目のグラウンド線、109'は2層目の信号線、110'は2層目の電源線である。

【0062】このように、多段多層型インターポザ230にすることにより、パッケージを小型化にすることができる。また、多ピン化にすることができる。

【0063】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0064】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0065】複数本の信号線の同時切替に対してグラウンド（グラウンド線Vss）の電位のゆらぎを低減することができる。

【0066】また、動作速度の高速化を図ることができる。

【0067】また、グラウンド（電源Vss）のリードの本数を低減することができる。

【図面の簡単な説明】

【図1】 本発明の原理を説明するための等価回路図、

【図2】 本発明の原理を説明するためのマイクロストリップ線の電流分布図、

【図3】 本発明の原理を説明するためのパッケージ内の配線に流れる電流を示す模式図、

【図4】 本発明の基本構成を説明するための断面図、

【図5】 図4の等価回路図、

【図6】 本発明の実施例1であるQFP構造を採用す

る樹脂封止型半導体装置の構成を示す一部欠き取り平面図、

【図7】 図6の側面図、

【図8】 図6に示すX-X切断線で切った断面図、

【図9】 図8に示す半導体チップとインターポザとの接続部の構成を説明するための拡大斜視図、

【図10】 図9に示すA-A切断線で切った断面図、

【図11】 図9に示すB-B切断線で切った断面図、

【図12】 図9に示すC-C切断線で切った断面図、

【図13】 本発明の実施例2である樹脂封止型半導体装置の構成を説明するための一部欠き取り平面図、

【図14】 図13に示すY-Y切断線で切った模式断面図、

【図15】 本発明の実施例3である樹脂封止型半導体装置の要部の構成を説明するための断面図、

【図16】 本発明の実施例4である要部構成を説明するための断面図、

【図17】 従来の技術を説明するためのQFP構造を採用する樹脂封止型半導体装置の回路説明図、

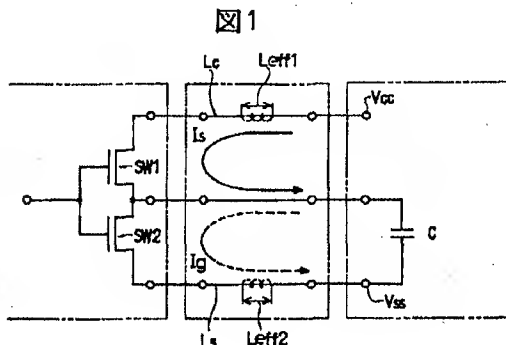
【図18】 従来の技術を説明するためのQFP構造を採用する樹脂封止型半導体装置の断面図、

【図19】 従来の技術を説明するためのQFP構造を採用する他の樹脂封止型半導体装置の断面図、

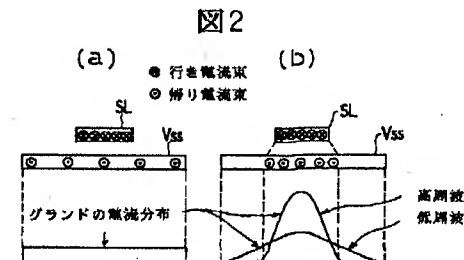
【符号の説明】

101…樹脂封止型半導体装置、102…半導体チップ、103…インターポザ、104…支持板、105…リード、106…絶縁性接着材、107…グラウンド線、108…絶縁層、109…信号線、110…電源供給線、111…ボンディングワイヤ、112…スルーホール、113…電極パッド、114…接着材、115…保護膜、116…モールド樹脂。

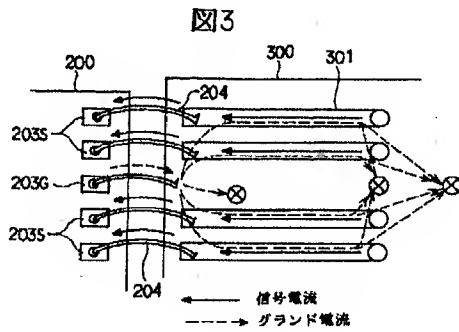
【図1】



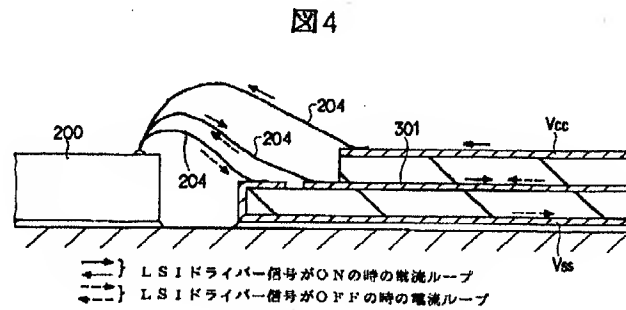
【図2】



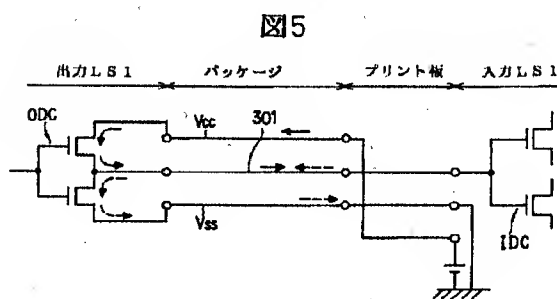
【図3】



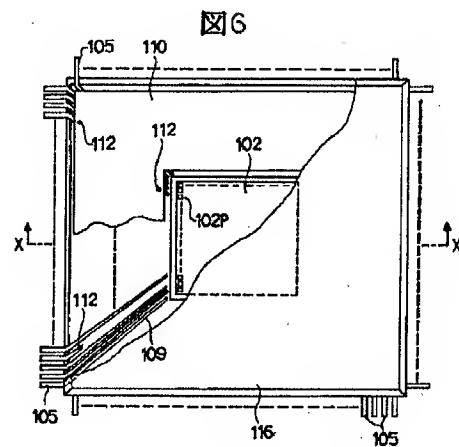
【図4】



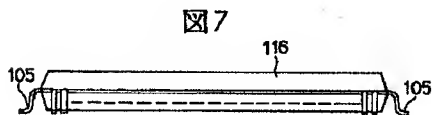
【図5】



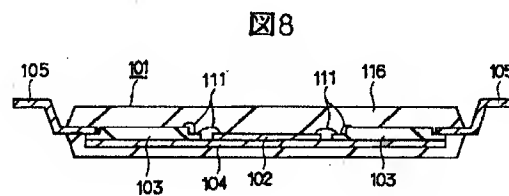
【図6】



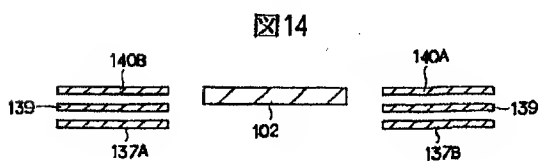
【図7】



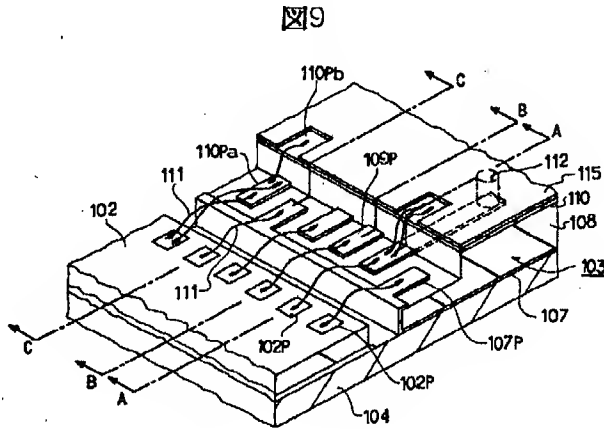
【図8】



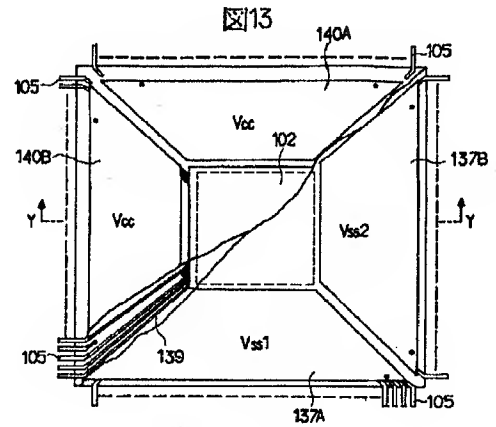
【図14】



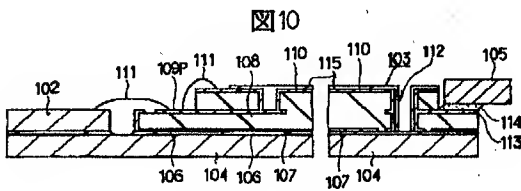
【図9】



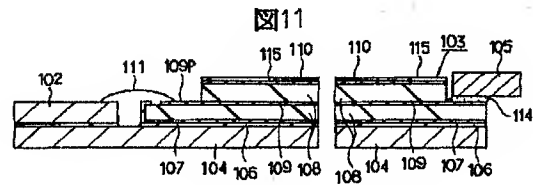
【図13】



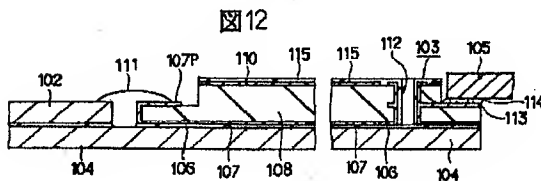
【図10】



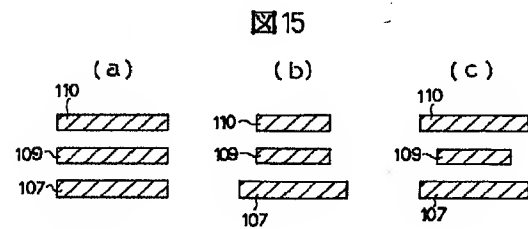
【図11】



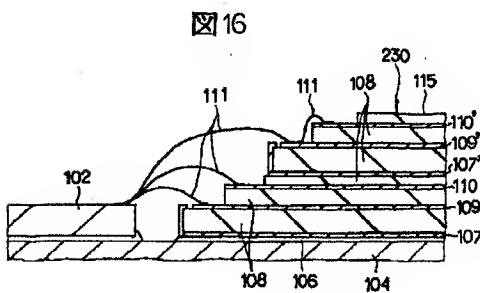
【図12】



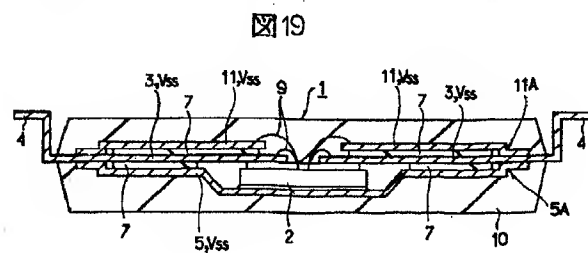
【図15】



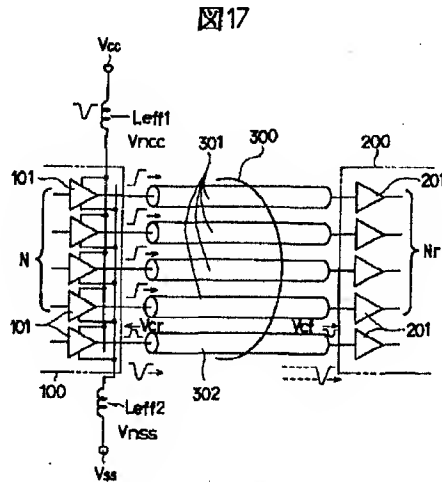
【図16】



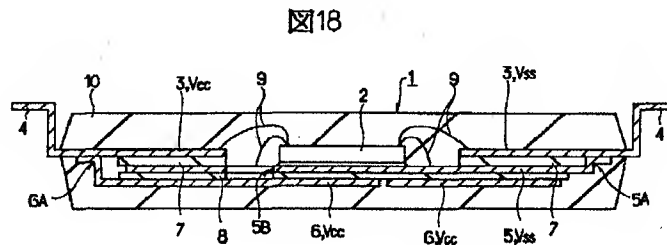
【図19】



【図17】



【図18】



【手続補正書】

【提出日】平成4年11月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図17において、101は送信端LSI100のバッファ、201は受信端LSI200のバッファ、301はインターポーザ300内の駆動系信号線（例えばクロック信号を供給する信号線）、302はインターポーザ300内の静止系信号線（例えばパルス信号を供給する信号線）である。また、Vccは電源供給線（チップ内電源電圧線：例えば、回路動作電圧5ボルト）、Vssはグラウンド線（チップ内基準電位線：例えば、回路接地電位0ボルト）、Leff1は電源Vcc側実効インダクタンス、Leff2は電源Vss側実効インダク

タンス、Vnccは電源Vcc側実効インダクタンスLeff1による電圧降下（ノイズ）、Vnssは電源Vss側実効インダクタンスLeff2による電圧降下（ノイズ）、Vcrはバックワードノイズ、Vcfはフォワードノイズ、Nは駆動系信号線301の同時に切換えられる本数、Nrは駆動受信端の数である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】したがって、ステップ電圧の降下時は、信号電流がグラウンド線Vssの電流となり、実効インダクタンスLeff2の問題となる。そして、Nの増大や高速化による di/dt の増大の中で電圧降下Vncc及びVnssを小さくするには実効インダクタンスLeff1及びLef

f2 を小さくするしか方法がない (Microelectronics Packaging Handbook, VAN NOSTRAND REINHOLD, 1989年, P143 ~P147参照)。

【手続補正3】

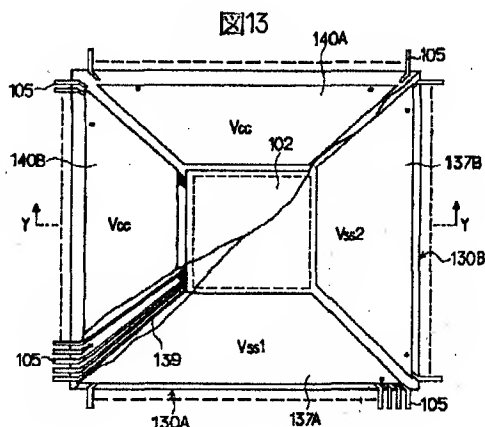
【補正対象書類名】図面

【補正対象項目名】図13

【補正方法】変更

【補正内容】

【図13】



フロントページの続き

(72)発明者 沖永 隆幸
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者 白井 優之
東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)発明者 三輪 孝志
東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)発明者 坪井 敏宏
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者 松上 昌二
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内